

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : **58-190064**

(43) Date of publication of application : **05.11.1983**

(51)Int.CI. H01L 29/78  
H01L 21/88  
H01L 23/30  
H01L 27/10

(21)Application number : 57-071232  
(22)Date of filing : 30.04.1982

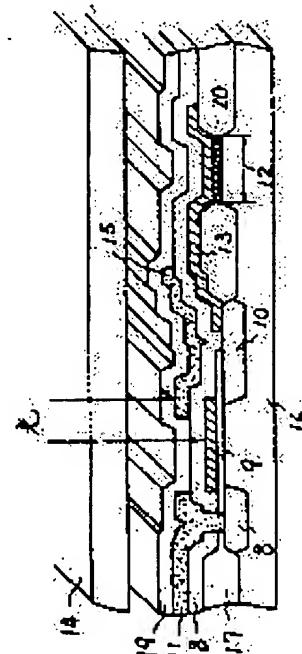
(71)Applicant : **HITACHI LTD**  
(72)Inventor : **SAWASE TERUMI**  
**NAKAMURA HIDEO**

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57) Abstract:

**PURPOSE:** To prevent the light incidence into the region of diffused layers and thus contrive to improve the leakage characteristic of P-N junction, by forming Al over the diffused layers of a MOSFET.

**CONSTITUTION:** In the MOSFET consisting of a source diffused layer 8, a gate 9, and a source diffused layer 10, a light shielding Al 15 formed simultaneously with a wiring Al 11 is connected to fixed potentials such as a power source and arranged over the source diffused layer 10 contributed to store and retain charges. Since the light incident through a transparent package 14 reflects on the surface of the Al layer 15 after passing through a transparent protection film 19, the light incidence into the P-N junction constituted of the layer 10 and a substrate 16 is prevented, and accordingly the increase of leakage current at the junction of 10-16 is prevented. Further, the capacity of the diffused layer 10 is increased in total capacity to store and retain because of the addition of the capacity for the Al 15.



**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁 (JP)  
 ⑩ 公開特許公報 (A)

① 特許出願公開  
 昭58-190064

⑪ Int. Cl.<sup>3</sup>  
 H 01 L 29/78  
 21/88  
 23/30  
 27/10

識別記号  
 庁内整理番号  
 7514-5F  
 6810-5F  
 7738-5F  
 6655-5F

⑫ 公開 昭和58年(1983)11月5日  
 発明の数 1  
 審査請求 未請求

(全3頁)

⑬ 半導体集積回路

⑭ 特願 昭57-71232  
 ⑮ 出願 昭57(1982)4月30日  
 ⑯ 発明者 沢瀬照美  
 国分寺市東恋ヶ窪1丁目280番  
 地株式会社日立製作所中央研究  
 所内

⑭ 発明者 中村英夫

国分寺市東恋ヶ窪1丁目280番  
 地株式会社日立製作所中央研究  
 所内  
 ⑮ 出願人 株式会社日立製作所  
 東京都千代田区丸の内1丁目5  
 番1号  
 ⑯ 代理人 弁理士 薄田利幸

明細書

発明の名称 半導体集積回路

特許請求の範囲

1. 量子(MOSFETなど)上にAl<sub>2</sub>O<sub>3</sub>(アルミニウム)層を形成し、光の入射を防止したことを特徴とする半導体集積回路。
2. P-N接合上に電位を固定したAl<sub>2</sub>O<sub>3</sub>層を形成し、光の入射を防止したことを特徴とする第1項の半導体集積回路。
3. P-N接合上にソースまたはドレインとなる拡散層に接続したAl<sub>2</sub>O<sub>3</sub>層を形成し、光の入射を防止したことを特徴とする第1項の半導体集積回路。

発明の詳細な説明

本発明はE PROMオンチップLSIに係り、特にP-N接合への光の入射によるリーク特性を改善するのに好適なLSIの形成法に関する。

MOSFETはゲートのオフ状態のインピーダンスが高いことから、図1に示すような、配線上の容量をメモリ量子とする四端が従来からよく

使用されている。しかし、紫外線等で消去できるメモリ(以下E PROM)を内蔵するLSIチップにおいては、LSI表面が外光にさらされるため、MOSFETの接歌層と基板との間の接合面で多量のリーク電流を発生する。このため、メモリ量子として十分な記憶保持特性を得ることができない欠点があつた。

通常のLSIのパッケージは光を完全に遮へいる構造になつており、光の入射による特性の劣化はなかつた。E PROMオンチップLSIにおいては、E PROMのデータ消去は紫外線でおこなうため、パッケージ上部は透明物質でおおわれており、特種基化を防止するためにはチップを部分的に光から遮へいする必要がある。

本発明の目的はNO.820119の拡散層傾斜への光の入射を防止し、P-N接合のリーク特性を改善することにある。

このため、本発明では、情報記憶用に用いるMOSFETの拡散層の上部に金属電極を設けた。

通常のLSIのパッケージは光を完全に遮へい

する構造になつてたり、光入射による特性の悪化は問題とはならなかつた。E P R O M オンチップ L S I においては光によるデータ消去の必要性上、パッケージ上部が透明樹脂でおおわれており、特徴悪化を防止するために L S I チップを部分的に光から遮へいするようになつた。

以下、本発明の実施例を E P R O M (Erasable Programmable ROM) オンチップ半導体無接合回路において実施した場合について述べる。

E P R O M オンチップ半導体無接合回路は、E P R O M に記憶されているデータを光によつて消去するため、透明パッケージに実装されている。

第1回に本実施例で述べるは M O S F E T で構成したラインメモリ(配線容量などにデータを記憶保持するメモリ)の回路図を示す。M O S F E T 1 の入力電極 8 から入力されたデータ 1 がオンしている間に 1 のソース電極 4 、インバータ 2 の入力ゲート 5 、および 4 ～ 5 間の配線容量の総和 6 に伝搬され、1 がオフするとデータ 1 が記憶保持される。しかし 1 と基板から成る P-N 接合

(3)

入射を防ぎ、1 ～ 6 の接合でのリーグ電流の増加を防止することができる。

本実施例によれば、リーグ特性の悪化を防ぐとともに、遮蔽層 10 の容量は 15 に対する容量も付加され、記憶保持するための総容量が増えることになり、さらに記憶特性を改善する効果がある。

#### 実施例 2

第3回に実施例 1 において、遮蔽層 10 の上部に形成する A と 15 を 10 自身に結合して 10 と同電位にした場合の構造を示す。光に対する効果は実施例 1 と同様であるが、遮蔽層 10 の容量は 15 を形成しても増加しない。従つて記憶保持するための容量は増加せず、高遮蔽作を必要とする場合に効果がある。

以上の二実施例は P ティンネル M O S について示したが、P ティンネル M O S およびそれらを組合せた回路についても同様の効果がある。

上記実施例はラインメモリを構成する場合について示したが、他に最小電極を基板からアノロジ回路等の接合面からのリーグ電流の防止方法として

(5)

合?に透明パッケージを介して光が入射すると光エネルギーにより?のリーク電流 (P-N 接合の逆方向電流) が増加し、6 に蓄えられた電荷は徐々に失なわれることになる。

#### 実施例 1

第2回は第1回の回路において本発明を実施した例の M O S F E T の構造を示したものである。ドレイン遮蔽層 8 、ゲート 9 、ソース遮蔽層 10 から成る M O S F E T (第1回の 1 ) の入力電極 A と (アルミニウム) 11 から入力されたデータ 1 ～ 10 、インバータのゲート遮蔽層 20 から成る入力ゲート 1 ～ 2 (第1回の 5 ) および 1 ～ 10 ～ 12 間の配線 13 の容量に記憶保持される。本発明では電荷を記憶保持するために新たに形成的遮蔽層 10 の上部に、配線の A と 11 と同時に形成した A と 15 を電極などの固定した電位に接続して配線することにより、透明パッケージ 14 を透過して入射した光は透明な保護層 19 を通過したのち、A と 15 の表面で反射するため、1 0 と遮蔽 1 ～ 5 から成る P-N 接合 (第1回の 7 ) への光の

(6)

も有效である。

本発明によれば、P-N 接合への光の入射を遮断できるので、光による P-N 接合の逆方向電流電流の増加を防止する効果がある。

光の遮断面となるアルミ層 15 は従来の M O S F E T 形成における配線用のアルミ層 11 の形成と同時に行なうことができ、プロセスの増加を必要としない。またアルミ層 15 は遮蔽層 10 に直なる形に形成するため、L S I 形成上、面積の増加等の問題は生じない。

#### 図面の簡単な説明

第1回は配線容量を記憶素子として用いるメモリ(ライン・メモリ)の回路図である。

第2回は A とを固定電位にした場合の第1回の回路の M O S F E T 組構造である。

第3回は A とを遮蔽層に結合した場合の第1回の回路の M O S F E T 組構造である。

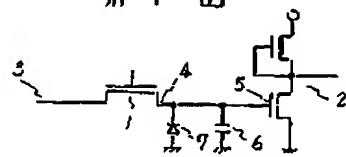
1 … 入力 M O S F E T 、 2 … インバータ、 3 … 入力電極、 4 … ソース電極、 5 … 入力ゲート、 6 … 配線容量、 7 … P-N 接合、 8 … ドレイン遮蔽層、

(7)

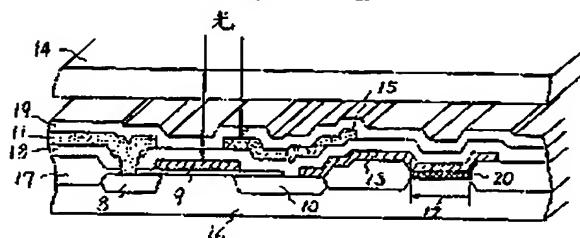
9…ゲート電極、10…ソース極駆動、11…入力Aと電極、12…インバータの入力ゲート、13…入力MOSFETとインバータ間の配線、14…透明パッケージ、15…光遮へい用Aと、16…基板、17…酸化膜、18…透明絶縁膜、19…透明保護膜、20…ゲート酸化膜。

代理人弁護士 海田和季

第 17



第 2 四



第 3 四

